

## BEST AVAILABLE COPY

### Family list

1 family member for:

**JP5095115**

Derived from 1 application.

### 1 MANUFACTURE OF MOS TRANSISTOR

Publication Info: JP5095115 A - 1993-04-16

---

Data supplied from the esp@cenet database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04103415    \*\*Image available\*\*

5    MANUFACTURE OF MOS TRANSISTOR

PUB. NO.:    05-095115 [JP 5095115 A]

PUBLISHED:    April 16, 1993 (19930416)

INVENTOR(s):    OONO AKIKAZU

10                    IZUMI KATSUTOSHI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.:    03-278913 [JP 91278913]

FILED:    October 01, 1991 (19911001)

15    INTL CLASS:    [5] H01L-029/784

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:    Section: E, Section No. 1415, Vol. 17, No. 444, Pg. 15,

20                    August 16, 1993 (19930816)

ABSTRACT

PURPOSE: To manufacture a finned MOS transistor having good electrical  
properties by using a general-purpose ion implantation device.

25

CONSTITUTION: When an MOS transistor having stepped impurity concentration  
gradient between a drain region and a channel region, a first  
polycrystalline silicon electrode 6 is formed as a gate electrode and then  
ion implantation of impurities is carried out at a low implantation amount  
30 using it as a mask. A polycrystalline silicon film 10 is deposited while

making a side of the first polycrystalline silicon electrode 6 exposed and then a second polycrystalline silicon electrode 11 which is directly connected at a side of the first polycrystalline silicon electrode 6 is formed by remaining by anisotropic etching of the polycrystalline silicon film 10. Thereafter, ion implantation of impurities is carried out again at a high implantation amount using first and second polycrystalline silicon electrodes 8, 11 as a mask. Source and drain regions 7, 8 of low impurity concentration are formed by the two ion implantations immediately below the second polycrystalline silicon electrode 11.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-95115

(43) 公開日 平成5年(1993)4月16日

(51) Int. Cl.<sup>5</sup>  
H01L 29/784

識別記号

F I

8225-4M

H01L 29/78

301 S

審査請求 未請求 請求項の数 1 (全5頁)

(21) 出願番号 特願平3-278913

(22) 出願日 平成3年(1991)10月1日

(71) 出願人 000004226

日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72) 発明者 大野 晃計

東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

(72) 発明者 泉 勝俊

東京都千代田区内幸町一丁目1番6号 日  
本電信電話株式会社内

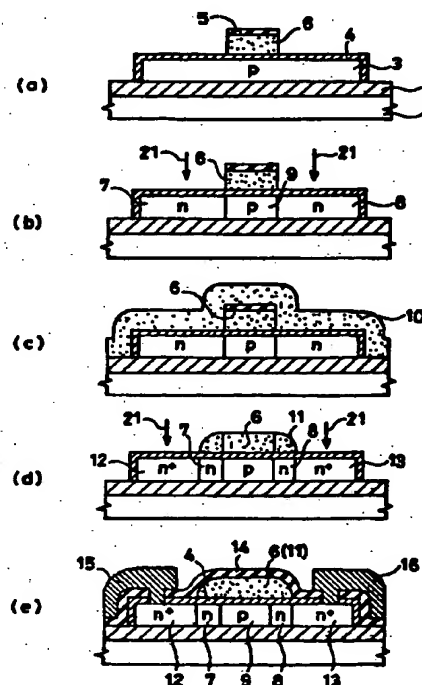
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 MOSトランジスタの製造方法

(57) 【要約】

【目的】 汎用のイオン注入装置を用いて電気的特性に優れた微細化MOSトランジスタを製造する。

【構成】 ドレイン領域とチャネル領域との間に段状の不純物濃度勾配を持つMOSトランジスタを製造する際、ゲート電極としての第1の多結晶シリコン電極6を形成した後、これをマスクとして低注入量で不純物をイオン注入する。そして第1の多結晶シリコン電極6の側面を露出させた状態で多結晶シリコン膜10を堆積し、次いでこの多結晶シリコン膜10の異方性エッチングにより、第1の多結晶シリコン電極6の側面で直接接続させた第2の多結晶シリコン電極11を残存的に形成する。その後、第1と第2の多結晶シリコン電極6、11をマスクとして高注入量で不純物を再びイオン注入する。これら2回のイオン注入によって、第2の多結晶シリコン電極11の直下に低不純物濃度のソース及びドレイン領域7、8を形成する。



## 【特許請求の範囲】

【請求項1】 少なくともドレインの領域とチャネル領域との間に段状の不純物濃度勾配を持たせた構造のMOSトランジスタを製造する工程において、ゲート電極としての第1の多結晶シリコン電極を形成した後、これをマスクとして比較的低注入量で不純物をイオン注入し、

その後、該第1の多結晶シリコン電極の側面を露出させた状態で多結晶シリコン膜を堆積し、

その後、該多結晶シリコン膜の異方性エッチングにより、第1の多結晶シリコン電極の側面で直接接続された第2の多結晶シリコン電極を残存的に形成し、

しかる後、第1と第2の多結晶シリコン電極をマスクとして比較的高注入量で不純物を再びイオン注入し、これら2回のイオン注入によって、第2の多結晶シリコン電極の直下に低不純物濃度のドレイン領域を形成することを特徴とするMOSトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、不純物濃度に勾配を持たせたドレイン領域を有する微細化MOSトランジスタの製造方法に関するものである。

## 【0002】

【従来の技術】 図2に、本発明が対象とする微細化MOSトランジスタの構造例として、nチャネルMOSトランジスタの断面構造を示す。また、図3の(a)～(d)に従来技術による該nチャネルMOSトランジスタの製造工程を示す。ここでは、初めに図2に示すnチャネルMOSトランジスタの構造的な特徴を述べ、図3を用いて従来の製造方法を概説する。

【0003】 図2は、SOI (Silicon on Insulator) 基板上に製造したnチャネルMOSトランジスタをソース電極とドレイン電極が向かい合う方向に壁開したときに現れる断面構造を示す。ここで、1は単結晶シリコン基板、2はこのシリコン基板1上の埋め込みシリコン酸化膜、4はゲート用シリコン酸化膜、6はゲート用の多結晶シリコン電極である。7と12はそれぞれ低及び高不純物濃度のソース領域、9はチャネル領域、8と13はそれぞれ低及び高不純物濃度のドレイン領域、14はパッシベーション膜、15と16はそれぞれソース電極とドレイン電極である。

【0004】 図2に示すnチャネルMOSトランジスタにおいて、構造的な特徴は低不純物濃度のソース領域7とドレイン領域8が共にゲート用の多結晶シリコン電極6の直下に埋め込まれていることにある。このような構造であるために、ドレイン接合近傍での電界強度を大幅に低減でき、その結果、ソース・ドレイン間耐圧の増大とホットキャリア耐性の向上を図れる。更にオン状態では、ソース領域7とドレイン領域8との上面に蓄積層が誘起されることになり、これらの領域でのシリーズ抵抗

は相当小さくなる。従って、ドレイン電流の大幅な低下と言った問題もない。このような特長から、図2に示すnチャネルMOSトランジスタは将来の微細化MOS素子の候補として注目されている。

【0005】 なお、電気的特性の詳細については、公知文献 (Technical Digest of International Electron Devices Meeting [Y. Yamaguchi et al., "Structure Design for Submicron MOSFET on Ultra Thin SOI," Technical Digest of International Electron Devices Meeting, pp. 591-594, 1990.], または1991 Symposium on VLSI Technology [M. Shimizu et al., "Scalability and Operating Voltage of Gate/N Overlap LDD in Sub-half-micron Regime," Digest of 1991 Symposium on VLSI Technology, pp. 47-48, 1991.]) に開示されている。

【0006】 次に図3の(a)～(d)を用いて、従来技術によるnチャネルMOSトランジスタの製造方法を説明する。まず図3(a)に示すように、p形単結晶シリコン基板1と厚さ100nm前後の埋め込みシリコン酸化膜2と厚さ100nm前後のp形単結晶シリコン層とが順次に積層された構造のSOI基板を出発基板として、該単結晶シリコン層を島状に加工し、単結晶シリコン島3を形成する。

【0007】 その後、単結晶シリコン島3の表面を熱酸化して例えば15nm厚のゲートシリコン酸化膜4を形成し、続いて減圧CVD法で多結晶シリコン膜を300nm前後の厚さに堆積する。その後、パターン化したレジスト17をマスクとして該多結晶シリコン膜を例えばECR (Electron Cyclotron Resonance) エッチング法で加工し、ゲート電極としての多結晶シリコン電極6を形成する。

【0008】 次に図3(b)に示すように、多結晶シリコン電極6をマスクとして砒素またはリンのイオン注入を行い、低不純物濃度のソース領域7とドレイン領域8を形成する。このとき、斜めのイオン注入が可能である特殊なイオン注入装置を用いてイオンビームの入射角を±45度前後に設定し、ソース領域7とドレイン領域8の両先端が多結晶シリコン電極6の直下に埋め込まれた構造とする。但し同図中符号22は斜めイオン注入によるイオンビームを表している。なお、ソース領域7とドレイン領域8に挟まれたp形シリコン領域がチャネル領域9となる。

【0009】 次に図3(c)に示すように、多結晶シリコン電極6をマスクとして再び砒素またはリンのイオン注入を行い、高不純物濃度のソース領域12とドレイン領域13を形成する。但し、このときにはイオンビーム21の入射角が7度前後であるため、汎用のイオン注入装置が使用できる。

【0010】 次に図3(d)に示すように、厚さ300nm前後のパッシベーション膜14を堆積し、さらに電極コンタクトを窓開して、最後にソース電極15とドレイン電極

10

20

30

40

50

16を施して従来の製造方法に基づくnチャネルMOSトランジスタが完成する。

#### 【0011】

【発明が解決しようとする課題】ところで、上記の製造方法で最も重要な工程は低不純物濃度のソース領域7とドレイン領域8を形成する工程（図3(b)）であり、斜めイオン注入が可能となる特殊なイオン注入装置を使用している。このイオン注入装置は単結晶シリコン基板を保持するウェハーホルダーに特長があり、イオン注入時にビームの入射角を常に一定に保つため、このウェハーホルダーは複雑な回転運動をする。このような特殊なイオン注入装置を使用することから、上述した従来の製造方法は汎用性に欠けるという問題点があった。

【0012】本発明は以上の点に鑑み、上記のような課題を解決するためになされたもので、その目的は、汎用のイオン注入装置を用いて電気的特性に優れた微細化MOSトランジスタを製造することにある。

#### 【0013】

【課題を解決するための手段】上記の目的を達成するため本発明は、少なくともドレインの領域とチャネル領域との間に段状の不純物濃度勾配を持たせた構造のMOSトランジスタを製造する工程において、ゲート電極としての第1の多結晶シリコン電極を形成した後、これをマスクとして比較的低注入量で不純物をイオン注入する。そして第1の多結晶シリコン電極の側面を露出させた状態で多結晶シリコン膜を堆積し、続いてこの多結晶シリコン膜の異方性エッチングにより、第1の多結晶シリコン電極の側面で直接接続させた第2の多結晶シリコン電極を残存的に形成する。その後、第1と第2の多結晶シリコン電極をマスクとして比較的高注入量で不純物を再びイオン注入することにより、これら2回のイオン注入によって、第2の多結晶シリコン電極の直下に低不純物濃度のドレイン領域を形成するものである。

#### 【0014】

【作用】したがって本発明によれば、自己整合法を製造プロセスに導入することによって、特殊な製造装置を用いることなく、微細化MOSトランジスタを実現することができる。

#### 【0015】

【実施例】以下、本発明による微細化MOSトランジスタの製造方法の実施例を図1(a)～(e)に示す図面に基づいて詳述する。説明では、便宜上nチャネルMOSトランジスタを想定して述べるが、pチャネルMOSトランジスタでも不純物のタイプが異なるだけで本質的には同じであり、これも当然本発明に含まれる。

【0016】図1(a)に示すように、p形単結晶シリコン基板1と厚さ100nm前後の埋め込みシリコン酸化膜2と厚さ100nm前後のp形単結晶シリコン層とが順次に積層された構造のSOI基板を出発基板として、まずこの単結晶シリコン層を島状に加工し、単結晶シリコン島3

を形成する。その後、単結晶シリコン島3の表面を熱酸化して例えば15nm厚のゲート用シリコン酸化膜4を形成し、続いて減圧CVD法で多結晶シリコン膜を300nm前後の厚さに堆積する。この多結晶シリコン膜上に更に減圧CVD法で厚さ100nm前後のシリコン窒化膜5を堆積した後、パターン化したレジストをマスクとしてシリコン窒化膜5を異方性エッチング法で加工する。

【0017】更にこのシリコン窒化膜5をマスクとして前記多結晶シリコン膜をECREッチング法で加工し、ゲート電極としての多結晶シリコン電極6を形成する。なおECREッチングの際、使用するガスとして $O_2$ と $Cl_2$ との混合ガスを用いれば、多結晶シリコンのエッチングレートをシリコン酸化膜のそれよりも100倍程度大きくできる。このために、多結晶シリコン電極6の加工後にその周囲に露出したゲートシリコン酸化膜4の膜厚は、ECREッチングで殆ど減少しない。

【0018】次に図1(b)に示すように、多結晶シリコン電極6をマスクとして砒素またはリンのイオン注入を行い、低不純物濃度のソース領域7とドレイン領域8を形成する。この際、イオンビーム21の入射角は0度前後でよく、従来技術におけるような特殊なイオン注入装置は必要としない。なお、多結晶シリコン電極6の直下に位置するp形シリコン領域がチャネル領域9となる。

【0019】次に図1(c)に示すように、多結晶シリコン電極6の側面が露出した状態で多結晶シリコン膜10を例えば300nmの厚さに堆積する。この多結晶シリコン膜10は多結晶シリコン電極6の側面で直接接続され、導通状態になっている。

【0020】次に図1(d)に示すように、多結晶シリコン膜10を再びECREッチング法で除去し、多結晶シリコン電極6の両側面に直接接続した第2の多結晶シリコン電極11を残存的に形成する。続いてシリコン窒化膜5を熱りん酸水溶液で除去し、更に多結晶シリコン電極6と11をマスクとして再び砒素またはリンのイオン注入を行い、高不純物濃度のソース領域12とドレイン領域13を形成する。このために低不純物濃度のソース領域7とドレイン領域8の幅は、上記工程（同図(c)）で堆積した多結晶シリコン膜10の膜厚によって制御性よく決定されることになる。

【0021】次に図1(e)に示すように、厚さ300nm前後のパッシベーション膜14を堆積し、更に電極コンタクトを窓開し、最後にソース電極15とドレイン電極16を形成して本発明の製造方法に基づくnチャネルMOSトランジスタが完成する。

【0022】このように本実施例の方法によると、通常のイオン注入による自己整合法を製造プロセス導入することにより、特殊な製造装置を用いることなく微細化MOSトランジスタが得られる。また、低不純物濃度のソース領域7とドレイン領域8がゲート用の多結晶シリコン電極6つまり第2多結晶シリコン電極11の直下に埋

め込まれているので、上述した従来の素子構造と同様に、ドレイン接合近傍での電界強度を大幅に低減できるとともに、それらソース領域7、ドレイン領域8間でのシリーズ抵抗を相当小さくできるなどの利点を有する。

【0023】なお、上述した実施例では第2の多結晶シリコン電極11の直下に低不純物濃度のソース及びドレイン領域7、8を形成する場合について述べたが、本発明はこれに限らず、低不純物濃度のドレイン領域のみを形成しても、上記実施例と同様の効果が得られる。また本発明は、埋め込みSOI基板以外にバルク構造のMOS

トランジスタにも同様に適用可能である。

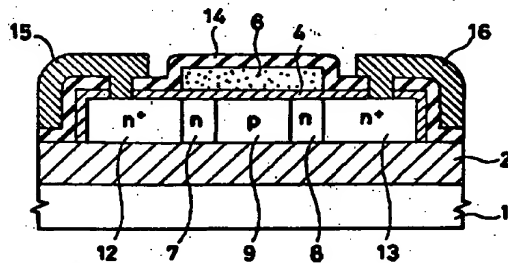
【0024】  
【発明の効果】以上説明したように、本発明によるMOSトランジスタの製造方法では以下のような優れた効果がある。

- (1) 現在のLSI製造プロセスで多用されている製造装置を使用するため、製造方法に汎用性がある。
- (2) 電気的特性を左右する低不純物濃度のソース領域、ドレイン領域を自己整合法で形成するため、電気的特性の分散つまりバラツキが極めて小さい微細化MOSトランジスタを製造することができる。

【図面の簡単な説明】

【図1】本発明に係わるMOSトランジスタの製造方法

【図2】



の一実施例を示す工程断面図である。

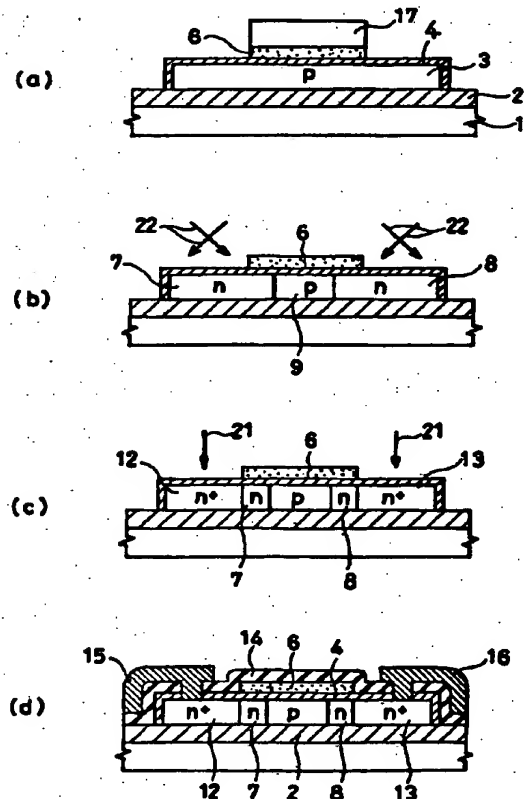
【図2】本発明が対象とするnチャネルMOSトランジスタの構造断面図である。

【図3】従来技術での製造工程を示すnチャネルMOSトランジスタの工程断面図である。

【符号の説明】

- 1 単結晶シリコン基板
- 2 埋め込みシリコン酸化膜
- 3 単結晶シリコン層
- 4 ゲート用シリコン酸化膜
- 5 シリコン窒化膜
- 6 多結晶シリコン電極
- 7 低不純物濃度のソース領域
- 8 低不純物濃度のドレイン領域
- 9 チャネル領域
- 10 多結晶シリコン層
- 11 多結晶シリコン電極
- 12 高不純物濃度のソース領域
- 13 高不純物濃度のドレイン領域
- 14 パッシベーション膜
- 15 ソース電極
- 16 ドレイン電極

【図3】



【図1】

